

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-222895

(P2000-222895A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl.	識別記号	F I	テラード*(参考)	
G 1 1 C	16/02	G 1 1 C	17/00	6 1 2 F
	16/04			6 1 1 E
H 0 1 L	27/115			6 2 2 E
	21/8247	H 0 1 L	27/10	4 3 4
	29/788		29/78	3 7 1
審査請求 未請求 請求項の数20 OL (全 24 頁) 最終頁に続く				

審査請求 未請求 請求項の数20 OL (全 24 頁) 最終頁に続く

(21)出願番号 特願平11-266176

(22)出願日 平成11年9月20日(1999.9.20)

(31)優先権主張番号 特願平10-336162

(32)優先日 平成10年11月26日(1998.11.26)

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 作 井 康 司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター

(72)発明者 中 村 寛

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター

(74)代理人 100064285

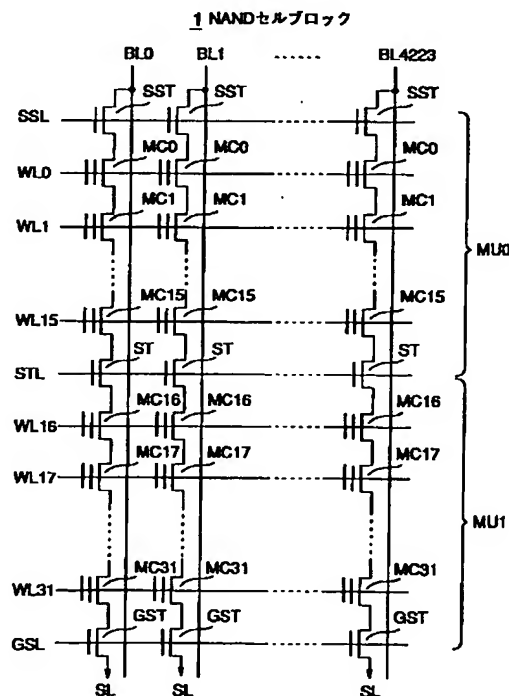
弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【課題】 1 NANDセルブロック内に複数の消去ブロックを設定可能としたNAND型EEPROMを提供する。

【解決手段】 メモリセルアレイのNANDセルブロック1は、複数のメモリセルトランジスタMCがビット線BLとソース線SLの間に直列接続されたNANDセルにより構成される。NANDセルのビット線BLとソース線SLの間にはそれぞれ選択トランジスタSST、GSTが設けられている。NANDセルのなかの接続する二つのメモリトランジスタMC15とMC16の間には、ブロック分離選択トランジスタSTが設けられて、NANDセルブロック1が二つのメモリセルユニットMU0、MU1に分割されている。これらのメモリセルユニットの一つを選択して消去単位として、消去単位でのデータの一括消去と、ページ単位のデータ書き込みが行われる。



【特許請求の範囲】

【請求項1】第1の信号線と、

第2の信号線と、

これら第1の信号線と第2の信号線の間に電氣的書き換え可能なメモリセルを複数個直列接続して構成されたNANDセルと、

このNANDセルを複数ブロックに分割するためにNANDセル内の所定の隣接メモリセルの間に介在させたブロック分離選択トランジスタと、を有することを特徴とする不揮発性半導体記憶装置。

【請求項2】ワード線により選択される電氣的書き換え可能なメモリセルが第1の信号線と第2の信号線の間にそれぞれ選択トランジスタを介して複数個直列接続されてNANDセルを構成して、複数のNANDセルが配列されたメモリセルアレイと、

アドレスにより前記メモリセルアレイのメモリセル選択を行うアドレスデコーダと、

前記メモリセルアレイからの読み出しデータをセンスし、前記メモリセルアレイへの書き込みデータをラッチする機能を有するセンスアンプ回路と、

前記メモリセルアレイへのデータ書き込み、消去及び読み出しの制御を行う制御回路とを備え、

前記メモリセルアレイは、各NANDセル内の所定の隣接メモリセルの間に介在させたブロック分離選択トランジスタにより複数のメモリセルユニットに分割されていることを特徴とする不揮発性半導体記憶装置。

【請求項3】前記メモリセルアレイのデータ書き換え時、前記複数のメモリセルユニットの一つを消去単位として選択してデータ消去がなされ、1本のワード線に沿った複数のメモリセルの所定範囲を1ページとしてデータ書き込みがなされることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】前記データ消去は、選択されたメモリセルユニットの全ワード線に接地電位を与え、

非選択のメモリセルユニットの全ワード線、前記第1の信号線側及び第2の信号線側の選択トランジスタ及び前記ブロック分離選択トランジスタのゲートにそれぞれつながる選択ゲート線をフローティングとし、且つ前記メモリセルアレイが形成された基板領域に消去電圧を与える、ことにより行われる請求項3記載の不揮発性半導体記憶装置。

【請求項5】前記データ書き込みは、書き込むべきデータ“0”、“1”に応じて第1の信号線に接地電位、電源電位を与え、

選択されたメモリセルユニット内の非選択ワード線にメモリセルを導通させるバス電圧を与え、

非選択のメモリセルユニットの全ワード線、及び非選択のメモリセルユニットと前記選択されたメモリセルユニットの間の前記ブロック分離選択トランジスタのゲート

につながる選択ゲート線にメモリセルを導通させる前記バス電圧より低い読み出し電圧を与え、

前記選択されたメモリセルユニットの選択ワード線に前記バス電圧より高い書き込み電圧を与える、ことにより行われる請求項3記載の不揮発性半導体記憶装置。

【請求項6】前記メモリセルアレイは、各NANDセル内の所定の隣接メモリセルの間に介在させた $2^n - 1$

(n : 正の整数)個のブロック分離選択トランジスタにより、 2^n 個のメモリセルユニットに分割されていることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項7】各メモリセルユニットが同数のメモリセルを含むことを特徴とする請求項6記載の不揮発性半導体記憶装置。

【請求項8】各メモリセルユニットが異なる数のメモリセルを含むことを特徴とする請求項6記載の不揮発性半導体記憶装置。

【請求項9】前記アドレスデコーダのなかのワード線駆動回路は、前記メモリセルアレイのワード線方向の両端部に、1乃至2メモリセルユニット毎に振り分けて配置されていることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項10】それぞれ異なるワード線により選択される電氣的書き換え可能な複数のメモリセルがビット線に直列接続されてNANDセルを構成し、ワード線方向に並ぶ複数のNANDセルがNANDセルブロックを構成し、且つ各NANDセルの所定の隣接メモリセルの間に介在させたブロック分離選択トランジスタにより前記NANDセルブロックが複数のメモリセルユニットに分割されたメモリセルアレイと、

アドレスにより前記メモリセルアレイのメモリセル選択を行うアドレスデコーダと、

前記メモリセルアレイからの読み出しデータをセンスし、前記メモリセルアレイへの書き込みデータをラッチする機能を有するセンスアンプ回路と、

前記複数のメモリセルユニットの一つを消去単位として選択してそのメモリセルユニット内のデータを一括消去し、1本のワード線に沿った複数のメモリセルの所定範囲を1ページとしてデータ書き込みを行うデータ書き換え手段と、を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項11】前記複数のブロック間の少なくとも2つ以上の前記ブロック分離選択トランジスタのゲートが共通接続されていることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項12】第1および第2の信号線と、

第1および第2の選択トランジスタと、

各々が、電氣的に書き換え可能なメモリセルを複数個直列接続して構成された第1乃至第 n ($n \leq 3$)のNANDセルブロックと、

第1乃至第 $(n-1)$ のブロック分離選択トランジスタと、
を備え、

前記第1の信号線に前記第1の選択トランジスタが接続され、

前記第1の選択トランジスタに前記第1のNANDセルブロックが接続され、

第 i ($1 \leq i \leq n-1$)のNANDセルブロックに第 i のブロック分離選択トランジスタが接続され、

第 i ($1 \leq i \leq n-1$)のブロック分離選択トランジスタに第 $(i+1)$ のNANDセルブロックが接続され、
第 n のNANDセルブロックに第2の選択トランジスタが接続され、

第2の選択トランジスタに第2の信号線が接続され、
前記第1乃至第 n のブロック分離選択トランジスタのうち、少なくとも2つのブロック分離選択トランジスタのゲートが共通接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項13】前記第1および第2の選択トランジスタのゲートは、多結晶シリコン、多結晶シリコンとシリサイドとの積層体、若しくは金属電極から構成され、
前記第1乃至第 $(n-1)$ のブロック分離選択トランジスタのゲートは多結晶シリコン、多結晶シリコンとシリサイドとの積層体、若しくは金属電極から構成されていることを特徴とする請求項12記載の不揮発性半導体記憶装置。

【請求項14】第1および第2の信号線と、
第1および第2の選択トランジスタと、
各々が電気的に書き換え可能な第1乃至第 n のメモリセルと、
第1乃至第 $(n-1)$ のブロック分離選択トランジスタと、
を備え、

前記第1の信号線に前記第1の選択トランジスタが接続され、

前記第1の選択トランジスタに前記第1のメモリセルが接続され、第 i ($1 \leq i \leq n-1$)のメモリセルに第 i のブロック分離選択トランジスタが接続され、

第 i ($1 \leq i \leq n-1$)のブロック分離選択トランジスタに第 $(i+1)$ のメモリセルが接続され、

第 n のメモリセルに第2の選択トランジスタが接続され、

第2の選択トランジスタに第2の信号線が接続され、
前記第1乃至第 n のブロック分離選択トランジスタのうち、少なくとも2つのブロック分離選択トランジスタのゲートが共通接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項15】前記第1および第2の選択トランジスタのゲートは、多結晶シリコン、多結晶シリコンとシリサイドとの積層体、若しくは、金属電極から構成され、

前記第1乃至第 $(n-1)$ のブロック分離選択トランジスタのゲートは、多結晶シリコン、多結晶シリコンとシリサイドとの積層体、若しくは、金属電極から構成されていることを特徴とする請求項14記載の不揮発性半導体記憶装置。

【請求項16】前記第1乃至第 $(n-1)$ のブロック分離選択トランジスタのゲート電圧はそれぞれが常に等しい電圧に制御されることを特徴とする請求項12または13記載の不揮発性半導体記憶装置。

【請求項17】前記第1乃至第 $(n-1)$ のブロック分離選択トランジスタのゲート電圧はそれぞれが常に等しい電圧に制御されることを特徴とする請求項14または15記載の不揮発性半導体記憶装置。

【請求項18】データ書き込み時に、

前記第1の選択トランジスタおよび前記第1乃至第 $(n-1)$ のブロック分離選択トランジスタのゲートには、電源電圧 V_{cc} 若しくはそれ以上の読み出し電圧 V_{read} が印加され、

前記第2の選択トランジスタのゲートには、接地電圧 V_{ss} が印加されることを特徴とする請求項16または17記載の不揮発性半導体記憶装置。

【請求項19】前記第1の信号線はビット線で、
前記第2の信号線はセルソース線であることを特徴とする請求項11乃至18のいずれかに記載の不揮発性半導体記憶装置。

【請求項20】前記メモリセルは浮遊ゲートと、
前記浮遊ゲート上に絶縁膜を介して形成された制御ゲートと、
を有する二層のスタック構造からなる電気的書き換え可能なメモリセルであることを特徴とする請求項11乃至19のいずれかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電気的書き換え可能な複数のメモリセルを直列接続してNANDセル（メモリセルストリング）を構成してなる不揮発性半導体記憶装置（EEPROM）に関する。

【0002】

【従来の技術】電気的書き換えを可能としたEEPROMとして、従来より、NANDセル型EEPROMが知られている。NANDセル型EEPROMの1つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲート（電荷蓄積層）と制御ゲートが積層されたスタック構造のトランジスタを有する。複数個のメモリセルは、隣接するもの同士でソース・ドレインを共有する形で直列接続されてNANDセルを構成する。このようなNANDセルがマトリクス配列されてメモリセルアレイが構成される。

【0003】メモリセルアレイの列方向に並ぶNANDセルの一端側のドレインは、選択トランジスタを介して

ビット線に共通接続され、他端側ソースはやはり選択トランジスタを介して共通ソース線に接続される。メモリセルトランジスタのワード線及び選択トランジスタのゲート電極は、メモリセルアレイの行方向にそれぞれワード線（制御ゲート線）、選択ゲート線として共通接続される。

【0004】このようなNANDセル型EEPROMは、例えば次のような文献①、②により知られている。

【0005】① K. -D. Suh et al., "A 3.3V 32Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme," IEEE J. Solid-State Circuits, Vol.30, pp.1149-1156, Nov.1995

② Y. Iwata et al., "A 35ns Cycle Time 3.3V Only 32Mb NAND Flash EEPROM," IEEE J. Solid-State Circuits, Vol.30, pp.1157-1164, Nov.1995. 図18は、NANDセル型EEPROMのメモリセルアレイのひとつのNANDセルブロックの構成を示している。複数のメモリセルMは、それらのソース、ドレインを隣接するもの同士で共有する形で直列接続されてNANDセルが構成される。NANDセルの一端は選択トランジスタS1を介してビット線BLに、他端はやはり選択トランジスタS2を介して共通接地線に接続される。図18の横方向に並ぶメモリセルMの制御ゲートは、共通にワード線WLに接続される。選択トランジスタS1、S2のゲートも同様に選択ゲート線SSL、GSLに共通接続される。一つのワード線により駆動されるNANDセルの範囲がNANDセルブロックを構成している。

【0006】通常、このようなNANDセルブロックがビット線方向に複数個配置されてメモリセルアレイが構成される。各NANDセルブロックはデータ消去の単位となっており、一括消去が行われる。またNANDセルブロック内のひとつの選択されたワード線に沿うメモリセル列は1ページと呼ばれ、1ページがデータ読み出し及び書き込みの単位となる。

【0007】メモリセルMは、例えばnチャネルの場合、浮遊ゲートに電子が注入されたしきい値が正の状態（Eタイプ状態）と、浮遊ゲートの電子が放出されたしきい値が負の状態（Dタイプ状態）とを二値に対応させることにより、データ記憶を行う。例えば、Dタイプ状態が“1”データの保持状態（消去状態）、Eタイプ状態が“0”データ保持状態（書き込み状態）というように定義される。また、“1”データを保持しているメモリセルのしきい値を正方向にシフトさせて“0”データを保持した状態に移行させる動作が「書き込み動作」、「0”データを保持しているメモリセルのしきい値を負方向にシフトさせて“1”データを保持した状態に移行させる動作が「消去動作」というように定義される。この明細書では、以下の説明をこの定義に従って行う。

【0008】図19は、メモリセルアレイの選択されたNANDセルブロックでのデータ消去、読み出し及び書

き込み動作の各部電位関係を示している。消去動作では、選択されたNANDセルブロックの全ワード線を0V、選択ゲート線SSL、GSL及びビット線BLをフローティング（F）とし、メモリセルのP型ウェルに高い正の消去電圧 V_{era} （例えば、3ms、21Vの消去パルス）を与える。その結果、選択ブロックでは、ウェルとワード線の間に消去電圧がかかり、浮遊ゲートの電子がFN（Fowler-Nordheim）トンネル電流によりウェルに放出される。これにより、そのNANDセルブロック内のメモリセルは“1”の消去状態になる。

【0009】このとき、非選択のNANDセルブロックでは、フローティング状態のワード線とウェルとの容量カップリングにより、消去パルスの影響を受けない。カップリング比は、フローティング状態のワード線に接続される容量から計算される。実際には、ポリシリコンのワード線とセル領域のPウェルとの容量が全容量に対して支配的であり、実測結果から求めたカップリング比は約0.9と大きく、これがFNトンネル電流が流れるのを妨げる。消去ベリファイ（検証）は選択ブロック内の全てのメモリセルのしきい値電圧が例えば-1V以下になったかどうかによって判定される。

【0010】データ読み出し動作は、選択ワード線に0V、非選択ワード線及び選択ゲート線に一定の読み出し電圧 V_{read} （しきい値によらず、チャネルを導通させるに必要な電圧）を与え、選択されたメモリセルの導通の有無によるビット線BLの電位変化を読むことにより行われる。

【0011】データ書き込み動作は、選択ワード線に正の高い書き込み電圧 V_{pgm} 、非選択ワード線にはバス電圧 V_{pass} 、ビット線側の選択ゲート線SSLに V_{cc} 、共通ソース線側の選択ゲート線GSLに $V_{ss}=0V$ を与え、“0”を書き込むべきビット線BLに V_{ss} 、書き込み禁止（即ち“1”の消去状態に保つべき）ビット線BLに V_{cc} を与えることにより行われる。このとき、 V_{ss} が与えられたビット線につながる選択メモリセルでは、チャネル電位が V_{ss} に保持され、制御ゲートとチャネル間の大きな電界がかかって、チャネルから浮遊ゲートにトンネル電流による電子注入が生じる。同じビット線につながる V_{pass} が与えられた他の非選択メモリセルでは、書き込みに十分に電界がかからず、書き込みは行われない。

【0012】 V_{cc} が与えられたビット線に沿うメモリセルでは、NANDセルのチャネルは V_{cc} 又は $V_{cc}-V_{th}$ （ V_{th} は選択トランジスタのしきい値電圧）に予備充電されて選択トランジスタがカットオフする。そして制御ゲートに書き込み電圧 V_{pgm} 及びバス電圧 V_{pass} が与えられると、フローティングとなっているNANDセルのチャネルと、 V_{pgm} 又は V_{pass} が与えられた制御ゲートとの容量結合によりチャネル電位は上昇して、電子注入が起こらない。

【0013】以上のようにして、 V_{ss} が与えられたビット線と V_{pgm} が与えられた選択ワード線の交差部のメモリセルでのみ、電子注入が行われて“0”書き込みがなされる。選択ブロック内の書き込み禁止のメモリセルにおいては、上述のようにチャネル電位がワード線とチャネルとの容量結合によって決定されるから、書き込み禁止電位を十分に高くするためには、チャネルの初期充電を十分に行うことおよびワード線とチャネル間の容量カップリング比を大きくすることが重要となる。

【0014】ワード線とチャネル間のカップリング比 B は、 $B = C_{ox} / (C_{ox} + C_j)$ により算出される。ここで、 C_{ox} はワード線とチャネルとの間のゲート容量の総和、 C_j はメモリセルトランジスタのソースおよびドレインの接合容量の総和である。また、NANDセルのチャネル容量とは、これらゲート容量の総和 C_{ox} と接合容量の総和 C_j の合計となる。さらに、その他の容量である選択ゲート線とソースのオーバーラップ容量や、ビット線とソースおよびドレインとの容量等は全チャネル容量に比べて非常に小さいため、ここでは無視している。

【0015】

【発明が解決しようとする課題】以上に説明したNAND型EEPROMにおいては、従来より平面方向（デザイン・ルール）のスケーリングは行われているが、これに対応した深さ方向（酸化膜厚）のスケーリングは行われていない。具体的に、トンネル酸化膜の膜厚は、16M、32M、64M、256MビットNAND型EEPROMで10nmとほぼ一定である。そしてトンネル酸化膜の膜厚が一定であれば、トンネル酸化膜にかかる電界を一定にするために、メモリセルの書き換え電圧も一定電圧を維持しなければならない、低電圧化できない。トンネル酸化膜の膜厚について、プロセス技術者によりさらに薄膜化することが試みられてはいるが、例えば、5nmの酸化膜は実現していない。また、書き換え電圧を低電圧化させるには、制御ゲートと浮遊ゲート間の容量を増大させ、カップリング比を大きくすれば良い。しかし、これも、制御ゲートと浮遊ゲート間の酸化膜を薄膜化させる必要があったり、制御ゲートと浮遊ゲート間のキャパシタ面積を増やすなどの工夫が必要であり、容易には成し遂げ得ない。

【0016】結局、NAND型EEPROMでは、16Mから256Mビットまで書き換え電圧として20V程度の高電圧が必要となっている。このため、その高電圧をワード線に駆動するロウデコーダのトランジスタを高耐圧トランジスタで設計しなくてはならない。高耐圧トランジスタは、周辺回路の通常のトランジスタよりもデザイン・ルールを緩くして、トランジスタ内の各部の寸法を長くすることにより、加わる電界を弱める工夫が成されている。例えば、0.25 μ mルールで設計した256MビットNAND型EEPROMの場合、この高耐

圧トランジスタは、周辺回路の通常のトランジスタよりもデザイン・ルールを数倍大きくしている。そして、256MビットNAND型EEPROMの16個のメモリセルと2個の選択トランジスタから成る1つのNANDストリングのピッチ（長さ）は、8.5 μ mであり、そのピッチに2個以上の高耐圧トランジスタは配置できず、1個の高耐圧トランジスタを配置するのが限界となっている。

【0017】例えば、次世代1GビットNAND型EEPROMでは、0.15 μ mのデザイン・ルールが適用された場合、この1つのNANDストリングのピッチは、約5 μ m程度になる。また、縦方向のスケーリングがやはり困難であったとすると、上述した理由により書き換え電圧を低くすることができない。従って、現在の16個のメモリセルトランジスタと2個の選択トランジスタから成る1つのNANDストリングのピッチには、サイズの大きいワード線駆動用の高耐圧トランジスタを配置できない。このため、例えば、1つのNANDストリングの直列接続のメモリセルトランジスタの数を増やし、例えば、32個のメモリセル構成とか、64個のメモリセル構成とかして、1つのNANDストリングのピッチを大きくしなければならなくなる。

【0018】しかし、単に1つのNANDストリング内のメモリセルトランジスタの個数を増やすと、同時に消去ブロックサイズが増えてしまう。それは、従来のNAND型EEPROMでは、NANDストリング（NANDセル）を1ブロックとし、ブロック単位での消去しか許されなかったためである。NANDセルブロック単位での消去しか許されない理由は、次の通りである。例えば、16個のメモリセルからなるNANDストリングを8個ずつのメモリセルを書き換えの単位である1ブロックとし、下部ブロックを何度も選択して書き換えたとする。そうすると、上部ブロックのワード線にはバス電圧 V_{pass} のストレスが加わり、書き換えが多数回に及ぶと、非選択ブロックのしきい値電圧も変化してしまう。

【0019】この消去ブロックのサイズは、16MビットNAND型EEPROMでは、4Kバイト、32MビットNAND型EEPROMでは、8Kバイト、256MビットNAND型EEPROMでは、16Kバイトと大容量化に伴い、徐々に大きくはなっている。しかし、例えば、デジタルカメラのフィルム媒体にNAND型EEPROMを使用した場合、コンパティビリティを保つために急激なブロックサイズの増大はしたくないという要請もある。したがって、大容量の1GビットNAND型EEPROMでも、256MビットNAND型EEPROMと同様に消去ブロックサイズを16Kバイトとする必要が出てくる。

【0020】この発明は、上記事情を考慮してなされたもので、1つのNANDセルブロック内に複数の消去単

位を設定可能としたNAND型EEPROMを提供することを目的としている。

【0021】

【課題を解決するための手段】この発明による不揮発性半導体記憶装置の第1の態様は、第1の信号線と、第2の信号線と、これら第1の信号線と第2の信号線の間に電氣的書き換え可能なメモリセルを複数個直列接続して構成されたNANDセルと、このNANDセルを複数ブロックに分割するためにNANDセル内の所定の隣接メモリセルの間に介在させたブロック分離選択トランジスタと、を有することを特徴とする。

【0022】なお、この発明においては、複数ブロック間の少なくとも2つ以上のブロック分離選択トランジスタのゲートが共通接続されていても良い。

【0023】また、この発明による不揮発性半導体記憶装置の第2の態様は、ワード線により選択される電氣的書き換え可能なメモリセルが第1の信号線と第2の信号線の間にそれぞれ選択トランジスタを介して複数個直列接続されてNANDセルを構成して、複数のNANDセルが配列されたメモリセルアレイと、アドレスにより前記メモリセルアレイのメモリセル選択を行うアドレスデコーダと、前記メモリセルアレイからの読み出しデータをセンスし、前記メモリセルアレイへの書き込みデータをラッチする機能を有するセンスアンプ回路と、前記メモリセルアレイへのデータ書き込み、消去及び読み出しの制御を行う制御回路とを備え、前記メモリセルアレイは、各NANDセル内の所定の隣接メモリセルの間に介在させたブロック分離選択トランジスタにより複数のメモリセルユニットに分割されていることを特徴とする。

【0024】なお、この発明において、具体的には、前記メモリセルアレイのデータ書き換え時、前記複数のメモリセルユニットの一つを消去単位として選択してデータ消去がなされ、1本のワード線に沿った複数のメモリセルの所定範囲を1ページとしてデータ書き込みがなされる。

【0025】なおこの発明において、データ消去は、選択されたメモリセルユニットの全ワード線に接地電位を与え、非選択のメモリセルユニットの全ワード線、前記第1の信号線側及び第2の信号線側の選択トランジスタ及び前記ブロック分離選択トランジスタのゲートにそれぞれつながる選択ゲート線をフローティングとし、且つ前記メモリセルアレイが形成された基板領域に消去電圧を与えることにより行われる。

【0026】なおこの発明において、データ書き込みは、書き込むべきデータ“0”、“1”に応じて第1の信号線に接地電位、電源電位を与え、選択されたメモリセルユニット内の非選択ワード線にメモリセルを導通させるバス電圧を与え、非選択のメモリセルユニットの全ワード線、及び非選択のメモリセルユニットと前記選択されたメモリセルユニットの間の前記ブロック分離選択

トランジスタのゲートにつながる選択ゲート線にメモリセルを導通させる前記バス電圧より低い読み出し電圧を与え、前記選択されたメモリセルユニットの選択ワード線に前記バス電圧より高い書き込み電圧を与えることにより行われる。

【0027】なおこの発明において、具体的には、前記メモリセルアレイは、各NANDセル内の所定の隣接メモリセルの間に介在させた $2^n - 1$ (n : 正の整数) 個のブロック分離選択トランジスタにより、 2^n 個のメモリセルユニットに分割される。この場合、各メモリセルユニットが同数のメモリセルを含むようにしてもよいし、或いは異なる数のメモリセルを含むようにしてもよい。

【0028】なおこの発明において好ましくは、前記アドレスデコーダのなかのワード線駆動回路は、前記メモリセルアレイのワード線方向の両端部に、1乃至2メモリセルユニット毎に振り分けて配置される。

【0029】また、この発明による不揮発性半導体記憶装置の第3の態様は、それぞれ異なるワード線により選択される電氣的書き換え可能な複数のメモリセルがビット線に直列接続されてNANDセルを構成し、ワード線方向に並ぶ複数のNANDセルがNANDセルブロックを構成し、且つ各NANDセルの所定の隣接メモリセルの間に介在させたブロック分離選択トランジスタにより前記NANDセルブロックが複数のメモリセルユニットに分割されたメモリセルアレイと、アドレスにより前記メモリセルアレイのメモリセル選択を行うアドレスデコーダと、前記メモリセルアレイからの読み出しデータをセンスし、前記メモリセルアレイへの書き込みデータをラッチする機能を有するセンスアンプ回路と、前記複数のメモリセルユニットの一つを消去単位として選択してそのメモリセルユニット内のデータを一括消去し、1本のワード線に沿った複数のメモリセルの所定範囲を1ページとしてデータ書き込みを行うデータ書き換え手段と、を備えたことを特徴とする。

【0030】この発明によると、NANDセル内のブロック分離選択トランジスタを介在させることによって、1NANDセルブロック内に複数の消去ブロックを設定することが可能であり、消去ブロックサイズを増やすことなく、1NANDストリング内のメモリセルの個数を増やすことを可能となる。

【0031】また、この発明による不揮発性半導体記憶装置の第4の態様は、第1および第2の信号線と、第1および第2の選択トランジスタと、各々が、電氣的に書き換え可能なメモリセルを複数個直列接続して構成された第1乃至第 n ($n \leq 3$) のNANDセルブロックと、第1乃至第 $(n-1)$ のブロック分離選択トランジスタと、を備え、前記第1の信号線に前記第1の選択トランジスタが接続され、前記第1の選択トランジスタに前記第1のNANDセルブロックが接続され、第 i ($1 \leq i$

≤n-1)のNANDセルブロックに第iのブロック分離選択トランジスタが接続され、第i(1≤i≤n-1)のブロック分離選択トランジスタに第(i+1)のNANDセルブロックが接続され、第nのNANDセルブロックに第2の選択トランジスタが接続され、第2の選択トランジスタに第2の信号線が接続され、前記第1乃至第nのブロック分離選択トランジスタのうち、少なくとも2つのブロック分離選択トランジスタのゲートが共通接続されていることを特徴とする。

【0032】また、この発明による不揮発性半導体記憶装置の第5の態様は第1および第2の信号線と、第1および第2の選択トランジスタと、各々が電氣的に書き換え可能な第1乃至第nのメモリセルと、第1乃至第(n-1)のブロック分離選択トランジスタと、を備え、前記第1の信号線に前記第1の選択トランジスタが接続され、前記第1の選択トランジスタに前記第1のメモリセルが接続され、第i(1≤i≤n-1)のメモリセルに第iのブロック分離選択トランジスタが接続され、第i(1≤i≤n-1)のブロック分離選択トランジスタに第(i+1)のメモリセルが接続され、第nのメモリセルに第2の選択トランジスタが接続され、第2の選択トランジスタに第2の信号線が接続され、前記第1乃至第nのブロック分離選択トランジスタのうち、少なくとも2つのブロック分離選択トランジスタのゲートが共通接続されていることを特徴とする。

【0033】なお、第4および第5の態様において前記第1および第2の選択トランジスタのゲートは、多結晶シリコン、多結晶シリコンとシリサイドとの積層体、若しくは金属電極から構成され、前記第1乃至第(n-1)のブロック分離選択トランジスタのゲートは多結晶シリコン、多結晶シリコンとシリサイドとの積層体、若しくは金属電極から構成されていても良い。

【0034】なお、第4および第5の態様において、前記第1および第2の選択トランジスタのゲートは、多結晶シリコン、多結晶シリコンとシリサイドとの積層体、若しくは、金属電極から構成され、前記第1乃至第(n-1)のブロック分離選択トランジスタのゲートは、多結晶シリコン、多結晶シリコンとシリサイドとの積層体、若しくは、金属電極から構成されるように構成しても良い。

【0035】なお、データ書き込み時に、前記第1の選択トランジスタおよび前記第1乃至第(n-1)のブロック分離選択トランジスタのゲートには、電源電圧V_{cc}若しくはそれ以上の読み出し電圧V_{read}が印加され、前記第2の選択トランジスタのゲートには、接地電圧V_{ss}が印加されるように構成しても良い。

【0036】なお、前記第1の信号線はビット線で、前記第2の信号線はセルソース線であることが好ましい。

【0037】なお、前記メモリセルは浮遊ゲートと、前記浮遊ゲート上に絶縁膜を介して形成された制御ゲート

と、を有する二層のスタック構造からなる電氣的書き換え可能なメモリセルであることが好ましい。

【0038】

【発明の実施の形態】第1の実施の形態

図1は、この発明の第1の実施の形態によるNAND型EEPROMのメモリセルアレイの1つのNANDセルブロック1のメモリセルアレイの等価回路を示している。この例では、ビット線BLの本数として528バイト((512+16)×8=4224本)を例にとり、示している。この実施の形態では、1つのNANDセルは32個のメモリセルトランジスタMC0~MC31により構成されている。メモリセルトランジスタMC0~MC31はビット線BLとソース線SLの間に直列接続される。ビット線BLとメモリセルトランジスタMC0の間には選択トランジスタSSTが設けられ、ソース線SLとメモリセルトランジスタMC31の間にも同様に選択トランジスタGSTが設けられている。

【0039】この実施の形態においては、上述した二つの選択トランジスタSST、GSTの他に、1つのNANDセルを2分割する形でブロック分離のための選択トランジスタSTが設けられている。即ち、隣接するメモリセルトランジスタMC15とMC16の間にブロック分離選択トランジスタSTを介在させることにより、NANDブロック1が二つのメモリユニットMU0、MU1に分割されている。この2分割されたメモリユニットMU0、MU1がそれぞれデータ消去の単位ブロックサイズとなる。

【0040】図2は、NANDセルブロック1のレイアウトであり、図3及び図4はそれぞれ、図2のA-A'、B-B'断面を示している。p型シリコン基板10のメモリセルアレイ領域にはn型ウェル11が形成され、このn型ウェル11内にはp型ウェル12が形成され、このp型ウェル12には素子分離絶縁膜13により素子領域が区画されている。素子領域にトンネル酸化膜14を介して浮遊ゲート15が各メモリセルトランジスタ毎に形成され、この上に層間ゲート絶縁膜16を介して制御ゲート17が形成されている。

【0041】制御ゲート17は、図2に示すように行方向に連続的に配設されて、これがワード線WLとなる。

制御ゲート17をマスクとしてイオン注入を行うことにより、ソース、ドレイン拡散層21が形成されている。図3では、選択トランジスタSST、STは、メモリセルトランジスタMCと同様の構造として示しているが、図4の断面に対応する断面では、浮遊ゲート15に対応する層と制御ゲート17に対応する層とが、所定箇所で共通接続されて連続的に配設されて、選択ゲート線SSL、STLとなる。ソース側の選択トランジスタGSTも同様であり、そのゲートは連続的に配設されて、選択ゲート線GSLとなる。ここで、選択トランジスタSST、STとメモリセルトランジスタMCとはゲート酸化

膜厚を異ならせてもよい。

【0042】ページ書き込み/読み出し機能を持つNAND型EEPROMとしての全体ブロック構成は、図5のようになる。図示のように、メモリセルアレイ51と、外部から入力されたアドレスに基いてメモリセルアレイ51のワード線を選択駆動するロウデコーダ52と、メモリセルアレイ51のビット線BLに接続される、入出力データのラッチ機能を持つセンスアンプ回路53とを有する。センスアンプ回路53にはカラムゲート55が接続され、カラムデコーダ54により外部から入力されたアドレスに基いてカラムゲート55を制御することで、対応するビット線およびセンスアンプ回路が選択される。

【0043】センスアンプ回路53は、カラムゲート55を介してデータ入出力(I/O)バッファ58に接続される。書き込み動作や消去動作に必要な高電圧を供給するために昇圧回路56が設けられ、またメモリセルアレイ51へのデータ書き込み、消去及び読み出しの制御信号を生成してチップ内部を制御するとともに外部とのインターフェースをとるための制御回路57が設けられている。

【0044】ロウデコーダ52は、データの書き込み時、消去時およびデータの読み出し時にそれぞれアドレス信号に基づいて複数のワード線WLを選択駆動するものであり、そのワード線ドライバには、所要の電圧が供給される。センスアンプ回路53は、読み出し時にビット線データをセンスする機能、書き込み時に外部からロードされるデータを保持するデータラッチ機能、書き込み及び消去の際にビット線BLに対して所要の電圧をそれぞれ選択的に供給する機能を有する。

【0045】制御回路57には、NANDセルに対する消去/消去ベリファイ、書き込み/書き込みベリファイ、及び読み出し動作を制御するためのシーケンス制御手段(例えばプログラマブルロジックアレイ)が含まれている。

【0046】図6は、センスアンプ回路53のなかの一つのセンスアンプの構成を示している。センスアンプは、入出力が交差接続されたインバータI1、I2により構成されたデータラッチ回路61を主体とする。このラッチ回路61の一方のノードQbはセンス用NMOSトランジスタM12と活性化用NMOSトランジスタM13を介して接地される。センス用NMOSトランジスタM12のゲートがセンスノードNsenseである。センスノードNsenseは、トランスファゲートNMOSトランジスタM1を介してビット線BLiに接続されている。

【0047】ラッチ回路61の他方のノードQは、リセット用NMOSトランジスタM4を介してセンスノードNsenseに接続され、またカラム選択NMOSトランジスタM11を介して入出力バッファに接続されてい

る。センスノードNsenseにはまた、センスノードNsenseをプリチャージするためのNMOSトランジスタM2、及びディスチャージするためのNMOSトランジスタM3が設けられている。

【0048】次に、この実施の形態によるNAND型EEPROMのデータ消去、書き込み、及び読み出しの動作を順次説明する。

【0049】図7は、データ消去動作での各部のバイアス電位関係を示している。前述のように、従来のNAND型EEPROMでは1つのNANDセルブロックが消去単位となるのに対し、この実施の形態では、図1に示すメモリユニットMU0、MU1がそれぞれ消去単位となる。図7では、下部メモリユニットMU1を選択ブロック、上部メモリユニットMU0を非選択ブロックとしたデータ消去動作の例を示している。

【0050】即ち、図1において、ワード線WL0~WL15の範囲を非選択ブロック、WL16~WL31の範囲を選択ブロックとする。消去動作が開始されると、消去する選択ブロックのワード線WL16~WL31には、Vss(0V)が印加され、非選択ブロックのワード線WL0~WL15および選択ゲート線SSL、GSL、STLはフローティング状態にされる。この状態で、メモリセルアレイのpウェル(p-well)に消去電圧Vera(20V)が印加される。

【0051】このとき、非選択ブロックのワード線WL0~WL15および選択ゲート線SSL、STL、GSLはpウェルとの容量結合により、 $\alpha \times V_{era}$ に昇圧される。 α は約0.9であるから、18V程度まで上がる。また、ビット線BL0、BL1、およびソース線SLはpウェルとビット線コンタクト部のn⁺型拡散層およびソース線SL部のn⁺型拡散層とのPN接合が順バイアス状態となり、Vera-Vfまで上昇する。VfはPN接合のビルトイン・ポテンシャルであり、約0.7Vであるから、ビット線BL0、BL1及びソース線SLは約19.3V程度となる。従って、非選択ブロックのワード線WL0~WL15に沿ったメモリセルトランジスタでは、消去動作は起こらない。

【0052】選択ブロックのワード線WL16~WL31に沿ったメモリセルトランジスタでは、基板領域にVera、制御ゲートにVssが印加されているため、浮遊ゲートの電子はトンネル電流により基板領域(pウェル)へと放出され、メモリセルトランジスタの記憶データは一括消去される。

【0053】図8は、データ書き込み動作での各部のバイアス電位関係を示している。図8では、上の説明で一括消去された選択ブロック(即ちメモリユニットMU1)内のワード線WL17について書き込みを行う場合を示している。また、ビット線BL0では“0”データ書き込みを行い、ビット線BL1では“1”データ書き込み(即ち、“1”データの消去状態を保つ書き込み禁

止)を行う場合を想定している。

【0054】この場合、図9は、図1に示すビット線中二つのビット線BL0、BL1のみ取り出して、電位関係を示したものである。

【0055】このデータ書き込みでは、まずビット線BL0、BL1にそれぞれ書き込み用の接地電位Vss、書き込み禁止用の電源電位Vccが与えられる。その後ソース線側の選択ゲート線GSLはVssに保ったまま、他のワード線及び選択ゲート線に、Vccよりわずかに高い読み出し電圧Vread(約3.5V程度)が与えられる。これにより、ビット線BL0につながるNANDセルチャネルには書き込みのための電位Vssが伝達される。ビット線BL1につながるNANDセルチャネルには、書き込み禁止のためのVccが伝達されるが、そのチャネル電位がVread-Vth(選択トランジスタ、若しくは、メモリセルトランジスタのしきい値電圧の内、高いしきい値電圧)だけ低下した値まで上昇すると、選択トランジスタSSTはオフになり、チャネルはフローティングになる。

【0056】この状態で次に、選択ブロックのワード線の内、書き込みを行わない非選択ワード線WL16およびWL18~WL31には、読み出し電圧Vreadより高いバス電圧Vpass(約8V)が、書き込みを行う選択ワード線WL17には更に高い書き込み電圧Vp gm(約16V)が、それぞれ印加される。非選択ブロックのワード線WL0~WL15、ドレイン側選択ゲート線SSL、及びブロック分離選択ゲート線STLは、電位を値Vreadのまま保つ。

【0057】この時、選択ブロック内のビット線BL1側のチャネル領域は、初期状態の電位Vcc-Vthから電位VpassおよびVp gmに上昇するワードとの容量結合により、 $\beta \times (Vpass - Vread) + (Vcc - Vth)$ まで上昇する。電位Vp gmが与えられるワード線1本に対して、電位Vpassが与えられるワード線数は15本であるから、ほぼ値Vpassにより決まる上述のチャネル電位になる。ここで、 β は、ワード線とチャネル領域の容量カップリング比であり、約0.5である。

【0058】この時、書き込み禁止のビット線BL1側のブロック分離選択トランジスタST1は、ゲート電圧がVreadであり、チャネル電圧が上述のように昇圧される結果、ゲート・ソース間電圧が負になりカットオフする。即ち、書き込み禁止のビット線BL1側では、メモリセルトランジスタMC171を含む選択ブロック内のチャネル領域は、非選択ブロックであるメモリセルユニットMU0側のチャネル領域とは切り離されたフローティング状態で昇圧される。

【0059】一方、電位Vssが与えられたビット線BL0側では、ビット線BL0から伝達される電位Vssによりブロック分離選択トランジスタST0がオン状態

を保つ。従って、選択されたメモリセルトランジスタMC170のチャネルまで電位Vssが伝わっている。この結果、書き込み電圧Vp gmが与えられた選択ワード線WL17で駆動されるメモリセルトランジスタMC170では、トンネル注入による書き込み動作が起こる。同じビット線BL0に沿った他のメモリセルでは、大きな電界がかからず、書き込みは生じない。

【0060】なお、実際のデータ書き込み動作は、図5に示す制御回路57によるシーケンス制御により、書き込み電圧パルス印加と書き込み後のしきい値をチェックするベリファイ(検証)動作を繰り返して、1ページ分のデータを所定しきい値範囲に追い込むという制御が行われる。1ページは例えば、1ワード線の範囲のビット線数であるが、ページバッファ等との関係で1ワード線の範囲を2ページとする場合もある。

【0061】この様なページ単位のデータ書き込みサイクルを説明すると、まず、図5のセンスアンプ回路53のデータラッチに連続的に書き込みデータがロードされる。このとき、“0”が書き込み動作を行うセルデータであり、“1”は書き込み禁止のセルデータである。書き込みサイクルは、次のステップで構成される。

- (1) ビット線のレベルを、センスアンプにラッチされているデータに従って、Vss又はVccに設定する。
- (2) 選択ワード線に書き込み電圧パルスを印加する。
- (3) 選択ワード線を放電する。
- (4) 書き込みベリファイ読み出しを行う。

【0062】ベリファイ動作では、十分な書き込みが行われたセルに対応するデータラッチのデータが“0”から“1”に変わり、それ以上の書き込み動作が行われないようにする。ベリファイ動作のバイアス条件は、基本的に通常のデータ読み出しの場合と同様であるが、しきい値の判定を行うために、選択ワード線に与えられる電圧は通常の読み出しの場合の0Vより高く設定される。このベリファイ動作で書き込みが不十分と判定されたセルについてのみ、次のサイクルで再度書き込み動作を繰り返される。

【0063】図10は、データ読み出し動作での各部の電位関係を示している。読み出しが開始されると、ビット線は初期状態の電位Vb1(約1.5V)に予備充電される。そして、選択ブロックの選択ワード線(図10では、WL19)の電位をVssにする以外は、選択NANDセル内の全ての選択ゲート線およびワード線の電位を読み出し電圧Vreadとする。これにより、“0”データ(書き込み状態のメモリセル)を読み出すビット線の電位はVb1を保ち、“1”データ(消去状態のメモリセル)を読み出すビット線の電位はVBb1からVssになる。このビット線電位の変化を、従来と同様にセンスアンプにより“0”、“1”として判別する。

【0064】以上のようにこの実施の形態によると、N

ANDセルブロック内をブロック分離選択トランジスタにより二つのメモリセルユニットに分けて、一つのメモリセルユニットを消去単位とするデータ書き換えを可能としている。これにより次のような効果が得られる。即ち、現在より微細なデザイン・ルールでNAND型EEPROMを作った場合に、メモリセルアレイを駆動する高耐圧トランジスタを配置するためには一つのNANDセル内のメモリセル数をより多くすることが必要になる。従来の方式では、NANDセルブロックがそのまま消去ブロックサイズであるから、NANDセルのメモリセル数が増えると、消去ブロックサイズも大きくなってしまいが、この実施の形態によれば、消去ブロックサイズを大きくすることなく、NANDセルのメモリセル数を多くすることができる。これにより高耐圧トランジスタの配置が容易になる。また、EEPROM容量が増大した場合にも消去ブロックサイズの変更をしなくないという要請にも、応えることが可能となる。

【0065】また、データ消去後の書き込み動作時、メモリセルユニットの間に挿入されたブロック分離選択トランジスタと非選択ブロック（メモリセルユニット）のワード線には、バス電圧 V_{pass} より低い読み出し電圧 V_{read} を与えた状態で非選択ブロックのチャネル領域が選択ブロックのチャネル領域と分離されるようにしている。従って、従来の構成でNANDセルブロック内に消去単位を設定して繰り返しデータ書き換えを行った場合のように、非選択ブロックのワード線にバス電圧 V_{pass} が与えられることがなく、ストレスが低減され、信頼性が向上する。

【0066】第1の実施の形態では、一つのブロック分離選択トランジスタSTを挿入することにより、NANDセルブロックを二つのメモリセルユニットに分割したが、一般的には、 $2^n - 1$ (n : 正の整数) 個のブロック分離選択トランジスタを挿入することにより、 2^n 個のメモリセルユニットに分割することができる。またこの場合、各メモリセルユニットが 2^m (m : 正の整数) 個ずつ同数のメモリセルを含むようにすることもできるし、或いは各メモリセルユニットのメモリセル数 2^m が異なるように設定することもできる。

【0067】第2の実施の形態

図11は、32個のメモリセルトランジスタからなる1 NANDストリングを4個のメモリセルユニットMU0～MU3に分割した第2の実施の形態の構成を示している。4個のメモリセルユニットMU0～MU3はそれぞれビット線BL側の選択トランジスタSST、ブロック分離選択トランジスタST0～ST2、および、ソース線SL側の選択トランジスタGSTを介してビット線BLとソース線SLとの間に直列接続されている。各メモリセルユニットは、等しく8個のメモリセルトランジスタを含む。

【0068】図12は、この実施の形態において、メモ

リセルユニットMU2が選択されて消去される場合のバイアス状態を示している。このとき選択ブロック（即ちメモリセルユニットMU2）内のワード線WL16WL23には電位 V_{ss} が与えられ、その他の非選択ワード線及び選択ゲート線はフローティングとして、Pウェルに消去電圧 V_{era} が与えられる。これにより、第1の実施の形態と同様に、選択ブロックの一括消去がなされる。

【0069】図13はこの実施の形態において、ワード線WL19に関してデータ書き込みを行う場合のバイアス状態を示している。この場合も選択NANDセル内の非選択ブロックであるメモリセルユニットMU0、MU1、MU3のワード線の電位は全て読み出し電圧 V_{read} とする。選択されたメモリセルユニットMU2では、選択ワード線WL19に書き込み電圧 V_{pgm} が、その他の非選択ワード線にはバス電圧 V_{pass} が与えられる。これにより、ワード線WL19に沿って、ビット線BLに与えられたデータ電位に応じて、書き込み及び書き込み禁止のバイアス状態が得られる。

【0070】この実施の形態によっても、消去ブロックサイズを大きくすることなく、NANDセルのメモリセル数を多くすることができ、これにより高耐圧トランジスタの配置が容易になる。また、EEPROM容量が増大した場合にも消去ブロックサイズの変更をしなくないという要請にも、応えることが可能となる。

【0071】また、データ消去後の書き込み動作時、メモリセルユニットの間に挿入されたブロック分離選択トランジスタと非選択ブロック（メモリセルユニット）のワード線には、バス電圧 V_{pass} より低い読み出し電圧 V_{read} を与えた状態で非選択ブロックのチャネル領域が選択ブロックのチャネル領域と分離されるようにしている。従って、非選択ブロックのワード線にバス電圧 V_{pass} が与えられることがなく、ストレスが低減され、信頼性が向上する。

【0072】更にこの実施の形態では、書き込み動作において、選択されたメモリセルユニットMU2の書き込み禁止のチャネル領域のリーク電流を低減化させるため、ソース線SLの電位は V_{cc} にしている。これにより、メモリセルユニットMU3のチャネル領域は $V_{cc} - V_{th}$ まで充電される。この様にすると、ブロック分離選択トランジスタST2にバックバイアス効果が働き、リーク電流が低減される。同時にブロック分離選択トランジスタST2に加わるドレイン・ソース間電圧も低減化でき、トランジスタST2のパンチスルーも抑えられる。

【0073】第3の実施の形態

図14は、メモリセルユニット内のメモリセルトランジスタの個数を変えた第3の実施の形態の構成を示す図である。この実施の形態では、メモリセルユニットMU0とMU1はそれぞれ2個直列接続されたメモリセルトラ

ンジスタから構成され、MU2は4個、MU3は8個のメモリセルトランジスタで構成されている。

【0074】この実施の形態によっても、消去ブロックサイズを大きくすることなく、NANDセルのメモリセル数を多くすることができ、その結果高耐圧トランジスタの配置が容易になる。また、EEPROM容量が増大した場合にも消去ブロックサイズの変更をしなくないという要請にも、応えることが可能となる。

【0075】また、データ消去後の書き込み動作時、メモリセルユニットの間に挿入されたブロック分離選択トランジスタと非選択ブロック（メモリセルユニット）のワード線には、バス電圧 V_{pass} より低い読み出し電圧 V_{read} を与えた状態で非選択ブロックのチャネル領域が選択ブロックのチャネル領域と分離されるようにしている。従って、非選択ブロックのワード線にバス電圧 V_{pass} が与えられることがなく、ストレスが低減され、信頼性が向上する。

【0076】更にこの実施の形態におけるようにメモリセル数の異なる複数種のメモリセルユニットを設けると、データ書き換えのサイズを適宜選択することができる。従って、多様な用途に好適である。

【0077】第4の実施の形態

図15は更に、各メモリセルユニットをメモリセルトランジスタ1個により構成し、ブロック分離選択トランジスタとメモリセルトランジスタとを交互に直列接続した第4の実施の形態の構成を示す図である。

【0078】この実施の形態によっても、消去ブロックサイズを大きくすることなく、NANDセルのメモリセル数を多くすることができ、その結果高耐圧トランジスタの配置が容易になる。また、EEPROM容量が増大した場合にも消去ブロックサイズの変更をしなくないという要請にも、応えることが可能となる。

【0079】また、データ消去後の書き込み動作時、ブロック分離選択トランジスタと非選択ブロック（メモリセルユニット）のワード線に、バス電圧 V_{pass} より低い読み出し電圧 V_{read} を与えた状態で非選択ブロックのチャネル領域が選択ブロックのチャネル領域と分離されるようにすることで、NANDセルブロック内に消去単位を設定して繰り返しデータ書き換えを行った場合のストレスが低減され、信頼性が向上する。

【0080】更にこの実施の形態の場合、消去ブロックサイズが書き込みページのサイズと同じになるため、ページ単位でのデータ書き換えが可能となる。

【0081】第5の実施の形態

図16は、第1の実施の形態のメモリセルアレイ構成の場合に、ロウデコードのなかのメモリセルユニットMU0に対するワード線駆動回路DRV0と、メモリセルユニットMU1に対するワード線駆動回路DRV1とを、メモリセルアレイのワード線方向の両端部に振り分けて配置した第5の実施の形態の構成を示す図である。メモ

リセルユニット数が4個以上と多い場合には、同様の手法で、隣接する二つのメモリセルユニットでそれらのワード線駆動回路を左右に振り分けるようにして、メモリセルアレイの両側にワード線駆動回路を配置する。

【0082】NANDセルブロック毎にワード線駆動回路を左右に振り分ける手法は、既に特願平6-198840号明細書（平成6年8月23日出願）や、米国特許第5,517,457号明細書、米国特許第5,615,163号明細書等に開示されている。この発明では、NANDストリング内をメモリセルユニットとしてブロック化しているから、そのブロック毎に、図示のようにワード線駆動回路を振り分けて配置することにより、NANDストリング毎にワード線駆動回路を振り分けた場合に比べて、レイアウト上のフレキシビリティがより向上し、コンパクトな設計が可能となる。特にデザイン・ルールが小さくなり、一つのメモリセルユニットの幅内にワード線駆動回路の高耐圧トランジスタを配置できない場合に、有効である。

【0083】第6の実施の形態

図17は更に、メモリセルユニットの2個ずつについて、ワード線駆動回路DRV0、DRV1を左右に振り分け配置した第6の実施の形態の構成を示す図である。図16に示す第5の実施の形態の場合に比べて更にデザイン・ルールが小さくなり、二つのメモリセルユニットの範囲内に高耐圧トランジスタを配置できない場合には、この様なワード線駆動回路の配置とすればよい。

【0084】本発明の更に他の実施の形態を説明する前に、図15に示す第4の実施の形態において、ブロック分離選択トランジスタST0～ST6をメモリセルMC0～MC7と同様な構造にした場合の例を考え、そのレイアウトを図20に示し、この図20のA-A'断面を図21に示す。

【0085】この場合のメモリセルサイズのブロック分離選択トランジスタ間のメモリセル数依存性を図22に示す。ここでFはfeature size、すなわちデザイン・ルールを示してい。また、この例においては、メモリサイズは1つのメモリセルユニットが16個のメモリセルで構成されている場合を示している。

【0086】この例においては、ブロック分離選択トランジスタを利用して、ブロック分割することにより、従来のNANDセルのストリングにおいて、選択トランジスタ間のメモリセル数を少なくしていく場合に比べて、はるかに小さな面積のメモリセルが実現できる。例えば、選択トランジスタ若しくはブロック分離選択トランジスタ間のメモリセル数を1個の場合、従来のNANDセルのストリングの約半分のセルサイズが実現できる。

【0087】しかし、選択トランジスタ間のメモリセル数が16個の場合のセルサイズを100とすると、ブロック分離選択トランジスタ間のメモリセル数が1個となると、セルサイズが219と約2倍に増大してしまう

(図22参照)。

【0088】図23(a), (b), (c)を用いてこの理由を説明する。従来型でしかも選択トランジスタ間のメモリセル数が多い場合、メモリセル1個のサイズは素子分離にSTI (Shallow Trench Isolation) を用いると、ビット線ピッチ $2F \times$ ワード線ピッチ $2F = 4F^2$ のセルサイズがほぼ実現できる(図23(a)参照)。しかし、本発明のNANDストリングはビット線ピッチ $2F \times$ ワード線ピッチ $4F = 8F^2$ にほぼ等しくなってしまう(図23(b)参照)。これは、図23

(c)で示しAND型EEPROMのビット線ピッチ $4F \times$ ワード線ピッチ $2F = 8F^2$ とほぼ同じメモリサイズとなる。なおこのAND型EEPROMの断面図を図24に示す。

【0089】そこで、ブロック分離選択トランジスタ間のメモリセル数を減らしてもメモリセルサイズが増加しない例を本発明の第7および第8実施の形態として以下に説明する。

【0090】第7の実施の形態

この第7の実施の形態のNAND型EEPROMは、図11に示す第2の実施の形態のNAND型EEPROMにおいて、読み出し、消去、書き込みを図25、図26、図27に示すように制御するようにした構成となっている。読み出し、書き込みに関しては、ワード線WL19が選択された場合を考える。基本的な特徴は、常にブロック分離選択トランジスタのゲート電圧はそれぞれの場合、等しい電圧に制御することである。

【0091】すなわち、読み出し時は、選択ゲート線STL0, STL1, STL2は全て、電圧 V_{read} にする(図25参照)。

【0092】また、消去時は選択ゲート線STL0, STL1, STL2は全て $\alpha \times V_{era}$ フローティングにする(図25)。さらに、書き込み時は選択ゲート線STL0, STL1, STL2は全て電圧 V_{read} とし、選択ゲート線GSLを V_{ss} とする。選択ゲート線STL2が V_{read} でも、非選択ブロックのワード線WL24~WL31が V_{read} となるため、書き込み禁止のNANDストリング内のブロック分離選択トランジスタST2はカットオフする。

【0093】したがって、この第7の実施の形態のNAND型EEPROMは、図28に示すように、ブロック分離選択ゲート線STLを共通にできる。

【0094】第8の実施の形態

本発明の第8の実施の形態は、図15に示す第4の実施の形態において、読み出し、消去、書き込みの電圧条件を図29、図30、図31に示すように構成したものである。読み出し、書き込みに関しては、ワード線WL3が選択された場合を示している。

【0095】したがって、第7の実施と同様に、この第8の実施の形態の構成も図32に示すようにブロック分

離選択ゲート線STLを共通にできる。また、ビット線側の選択ゲートSSLも共通にした場合、第7の実施の形態、第8の実施の形態は各々図33、図34に示すように構成しても有効である。ただし、セルソース線側の選択ゲートGSLは、書き込み時に V_{ss} にする必要がある、これは、共通化できない。

【0096】なお第7および第8の実施の形態においては、ブロック分選択ゲート線を全て共通にしたが、少なくとも2つのブロック分離選択ゲート線を共通に接続しても良い。

【0097】次に本発明のNAND型EEPROMの製造方法およびプロセスの構成を説明する。ブースタプレート技術が最近提案されているが、これと同様なプロセスを本発明の製造方法に利用すれば良い。

【0098】まず、提案されたブースタプレートなる導電体を用いて非書き込みNAND列のチャネル電位を高くし、かつ、書き込み/消去/読み出しの電圧を低下させるNAND型EEPROMについて説明する。

【0099】このNAND型EEPROMについては文献(J.D.Choi et al., "A Novel Booster Plate Technology in High Density NAND Flash Memories for Voltage Scaling-Down and Zero Program Disturbance," in Symp. VLSI Technology Dig.Tech. Papers, June 1996, pp.238-239)に記載されている。

【0100】図35は、ブースタプレートを有するNAND型EEPROMの構成を示す斜視図であり、このNAND型EEPROMは次のように構成されている。図35に示すように、基板70はゲート絶縁膜71を介して浮遊ゲート72が形成され、この浮遊ゲート72上にONO膜73を介して制御ゲート74が形成されている。そして、さらに前記制御ゲート74上にはプレート酸化膜75を介してブースタプレート76が形成されている。

【0101】すなわち、上記文献のNAND型EEPROMは、従来のNAND型EEPROMを作製した後に、プレート酸化膜75であるCVD酸化膜(SiO_2)とタングステン・ポリサイド($poly-Si$ と WSi_x)を堆積し、その後、ポリサイド層をパターニングし、各ブロックの全メモリセル・トランジスタを覆うブースタプレート76を形成したものである。

【0102】メモリセルの動作は、基本的には従来のNAND型EEPROMとほぼ同様であるが、ブースタプレート76には、書き込み時に書き込み電圧が、また消去時に0Vがそれぞれ印加される。

【0103】ところで、前記ブースタプレートには2つの利点がある。一つは、書き込みの際の容量カップリング γ が大きくなることである。ブースタプレートがない従来のNAND型EEPROMにおいて、容量カップリング γ は、

$$\gamma = C_{cf} / (C_{fs} + C_{cf})$$

と表わされる。ここで、 C_{cf} は制御ゲート（ワード線）74と浮遊ゲート72間の容量であり、 C_{fs} は浮遊ゲート72と基板70間の容量である。一方、ブースタブレート76を付加した場合の容量カップリング比 γ_b は、

$$\gamma_b = (C_{cf} + C_{bf}) / (C_{fs} + C_{cf} + C_{bf})$$

と表わされ、従来のブースタブレートがない場合の γ よりも大きくなる。したがって、書き込み時の書き込み電圧を低下できる。ここで、 C_{bf} はブースタブレート76と浮遊ゲート72間の容量である。

【0104】また、消去時の容量カップリング比は、 $(1 - \gamma_b)$ で表わされるため、基板70と浮遊ゲート72間の電位差を大きくでき、従来よりも高速な消去、あるいは、消去電圧を低下することが可能となる。また、 γ_b が大きくなることによって、読み出し時におけるバス・トランジスタへの印加電圧も低下できる。

【0105】もう一つの利点は、制御ゲート（ワード線）74とチャネル間の容量カップリング比が大きくなることである。ブースタブレート76がある場合の容量

$$B_b = (C_{ox} + C_{boot}) / (C_{ox} + C_{boot} + C_j)$$

と表わされる。ここで、 C_{ox} は制御ゲート（ワード線）74とチャネルとの間のゲート容量の総和、 C_{boot} はブースタブレート76とチャネルとの間のゲート容量の総和、 C_j はセルトランジスタのソースおよびドレインの接合容量の総和である。したがって、書き込み時にバス・トランジスタの電圧を過度に高めなくても、書き込み禁止のNAND列のチャネル電位を高くすることができ、誤書き込みに対するマージンが向上できる。

【0106】このブースタブレートをブロック分離選択ゲート線に利用すれば良い。

【0107】次に本発明のNAND型EEPROMの製造方法について説明する。図36～図50は、本発明のNAND型EEPROMの製造工程を示す図である。図36、39、42、45、48は、本発明のNAND型EEPROMの製造工程における平面図であり、図37、40、43、46、49はそれぞれの製造工程における平面図中のX-X'に沿った断面図、図38、41、44、47、50はそれぞれの製造工程における平面図中のY-Y'に沿った断面図である。

【0108】図36～図38に示すように、p形シリコン基板81上にメモリセルnウェル82を形成し、このメモリセルnウェル82内にメモリセルpウェル83を形成する。このメモリセルpウェル83上に、フィールド酸化膜（素子分離絶縁膜）84を形成する。以下に上記フィールド酸化膜84で囲まれた領域への、NANDセル、ここでは4個のメモリセルトランジスタとそれを挟む2つの選択ゲートトランジスタからなるNANDセ

ルの製造方法を示していく。

【0109】前記メモリセルpウェル83上にフィールド酸化膜84を形成後、図39～図41に示すように、膜厚が5nm～20nmの熱酸化膜からなる第1のゲート絶縁膜85を成膜する。さらに、この第1のゲート絶縁膜85上に、膜厚が1000nm以上の第1の多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜あるいは金属膜からなるブースタブレート86を成膜する。

【0110】続いて、図40に示すように、マスク材とするシリコン窒化膜（SiN）87をリソグラフィ法により形成し、さらにこのシリコン窒化膜87の側面に側壁88を形成する。そして、このシリコン窒化膜87および側壁88をマスクとして、図43に示すように、前記第1のゲート絶縁膜85およびブースタブレート86を制御ゲート線方向に沿った線状にエッチング加工する。

【0111】次に、図42～図44に示すように、膜厚が5nm～10nmの熱酸化膜からなる第2のゲート絶縁膜89を成膜する。この第2のゲート絶縁膜89上に、膜厚が1000nm以上の第2の多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜あるいは金属膜からなる浮遊ゲート90を成膜する。さらに、図44に示すように、制御ゲート線方向の隣接するフィールド酸化膜84上で浮遊ゲート90間の分離溝91を形成する。

【0112】その後、前記浮遊ゲート90上に、膜厚が15nm～40nmの第3のゲート絶縁膜92を形成する。さらに、この第3のゲート絶縁膜92上に、膜厚が100nm～400nmの第3の多結晶シリコンあるいはシリサイド膜と多結晶シリコン膜との積層膜あるいは金属からなる膜93を堆積する。

【0113】次に、図45～図47に示すように、上記膜93と浮遊ゲート90を、互いに隣接するブースタブレート86間及びブースタブレート86の上面の一部上で残存するように、セルフアラインでエッチング加工する。これにより、ワード線（制御ゲート）93、選択ゲート線93a及び浮遊ゲート90を形成する。

【0114】その後、NANDセルのドレイン部とソース部に、イオン注入によりN⁺層184を、セルフアラインで形成する。この際、NANDセルのメモリセルトランジスタ間のドレイン/ソース領域はブースタブレート86で覆われているため、N⁺層が形成されない。

【0115】次に、図48～図50に示すように、第4の絶縁膜95を全面に堆積し、この第4の絶縁膜95にコンタクト孔96を開ける。さらに、このコンタクト孔96にタングステンプラグ97を埋め込み、このタングステンプラグ97に接続されるアルミニウム（Al）からなるビット線98を配設する。そして、パシベーション膜99で全面を覆う。以上により、本発明のNAND

型EEPROMは完成する。最後に、図46、図48のA、B、Cで示したブロック分離選択ゲート線をメモリアレイ端、若しくは、サブアレイ端で電氣的に共通になるように、その他の配線若しくは、同一の配線で結線する。

【0116】

【発明の効果】以上のようにこの発明によれば、1つのNANDセルブロック内に複数の消去ブロックを設定することが可能であり、消去ブロックサイズを増やすことなく、1つのNANDストリング内のメモリセルの個数を増やすことを可能としたNAND型EEPROMが得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態によるNAND型EEPROMのメモリセルアレイの等価回路。

【図2】第1の実施の形態にかかるメモリセルアレイのレイアウト。

【図3】図2に示す切断線A-A'に沿った断面図。

【図4】図2に示す切断線B-B'に沿った断面図。

【図5】第1の実施の形態のNAND型EEPROMのブロック構成を示す図。

【図6】第1の実施の形態のNAND型EEPROMのセンスアンプ構成を示す図。

【図7】第1の実施の形態のNAND型EEPROMのデータ消去動作のバイアス関係を示す図。

【図8】第1の実施の形態のNAND型EEPROMのデータ書き込み動作のバイアス関係を示す図。

【図9】図8のバイアス関係をメモリセルアレイ上で示す図。

【図10】第1の実施の形態のNAND型EEPROMのデータ読み出し動作のバイアス関係を示す図。

【図11】第2の実施の形態にかかるメモリセルアレイの構成を示す図。

【図12】第2の実施の形態でのデータ消去動作のバイアス関係を示す図。

【図13】第2の実施の形態でのデータ書き込み動作のバイアス関係を示す図。

【図14】第3の実施の形態にかかるメモリセルアレイの構成を示す図。

【図15】第4の実施の形態にかかるメモリセルアレイの構成を示す図。

【図16】第5の実施の形態にかかるワード線駆動回路の配置を示す図。

【図17】第6の実施の形態にかかるワード線駆動回路の配置を示す図。

【図18】従来のNAND型EEPROMのメモリセルアレイ構成を示す図。

【図19】従来のNAND型EEPROMのデータ消去、読み出し及び書き込みのバイアス関係を示す図。

【図20】第4の実施の形態によるメモリセルアレイの

レイアウト図。

【図21】第4の実施の形態によるメモリセルアレイの断面図。

【図22】選択トランジスタ間のメモリセル数とセルサイズとの関係を示すグラフ。

【図23】各メモリセルのサイズを説明する図。

【図24】AND型EEPROMの断面図。

【図25】第7の実施の形態のデータ読出し動作のバイアス関係を示す図。

【図26】第7の実施の形態のデータ消去動作のバイアス関係を示す図。

【図27】第7の実施の形態のデータ書き込み動作のバイアス関係を示す図。

【図28】第7の実施の形態にかかるメモリセルアレイの構成を示す図。

【図29】第8の実施の形態のデータ読出し動作のバイアス関係を示す図。

【図30】第8の実施の形態のデータ消去動作のバイアス関係を示す図。

【図31】第8の実施の形態のデータ書き込み動作のバイアス関係を示す図。

【図32】第8の実施の形態にかかるメモリセルアレイの構成を示す図。

【図33】第7の実施の形態の変形例にかかるメモリセルアレイの構成を示す図。

【図34】第8の実施の形態の変形例にかかるメモリセルアレイの構成を示す図。

【図35】ブースタプレート有するNAND型EEPROMの構成を示す斜視図。

【図36】本発明によるNAND型EEPROMの製造工程における平面図。

【図37】図36に示す切断線X-X'に沿った断面図。

【図38】図36に示す切断線Y-Y'に沿った断面図。

【図39】本発明によるNAND型EEPROMの製造工程における平面図。

【図40】図39に示す切断線X-X'に沿った断面図。

【図41】図39に示す切断線Y-Y'に沿った断面図。

【図42】本発明によるNAND型EEPROMの製造工程における平面図。

【図43】図42に示す切断線X-X'に沿った断面図。

【図44】図42に示す切断線Y-Y'に沿った断面図。

【図45】本発明によるNAND型EEPROMの製造工程における平面図。

【図46】図45に示す切断線X-X'に沿った断面

図。

【図47】図45に示す切断線Y-Y'に沿った断面

図。

【図48】本発明によるNAND型EEPROMの製造工程における平面図。

【図49】図48に示す切断線X-X'に沿った断面

図。

【図50】図48に示す切断線Y-Y'に沿った断面

図。

【符号の説明】

1 NANDセルブロック

MC メモリセルトランジスタ

SST, GST 選択トランジスタ

ST ブロック分離選択トランジスタ

WL ワード線

BL ビット線

SL ソース線

SSL, GSL, STL 選択ゲート線

MU0~MU3 メモリセルユニット

51 メモリセルアレイ

52 ロウデコーダ

53 センスアンプ回路

54 カラムデコーダ

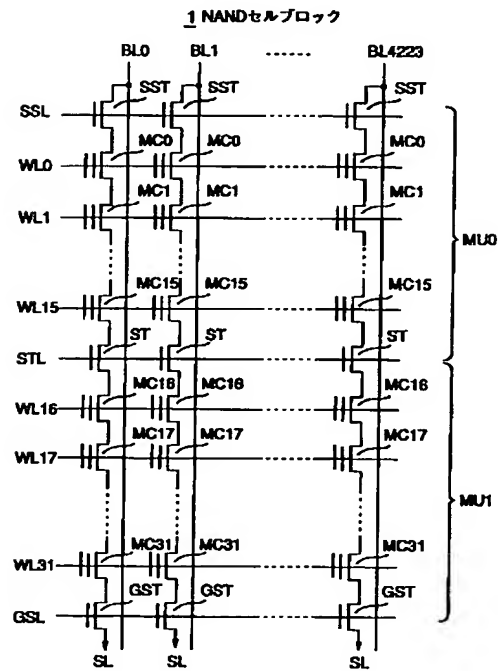
10 55 カラムゲート

56 昇圧回路

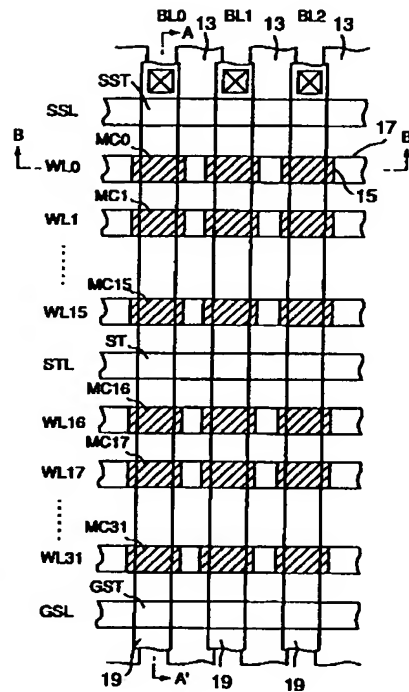
57 制御回路

DRV0, DRV1 ワード線駆動回路

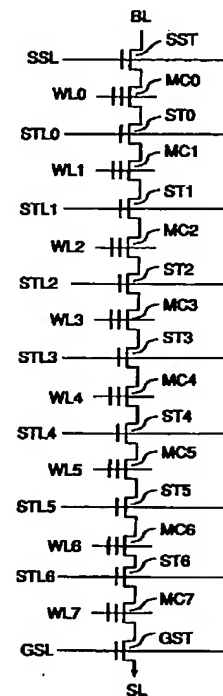
【図1】



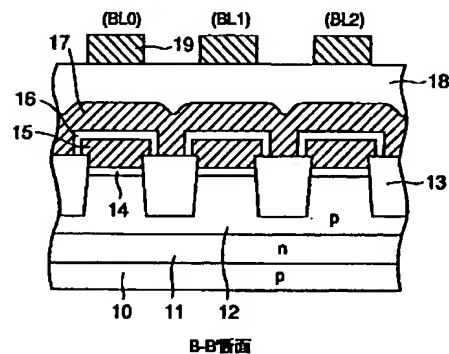
【図2】



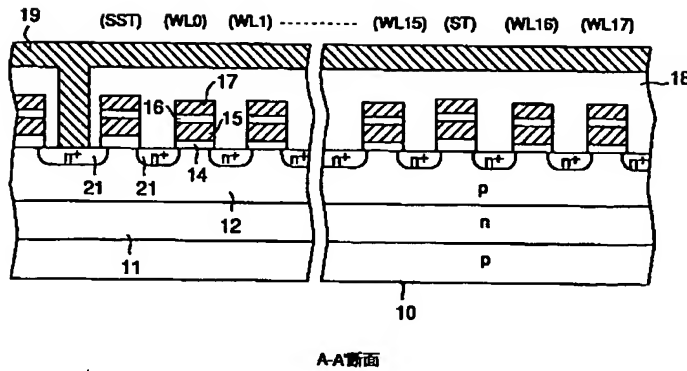
【図15】



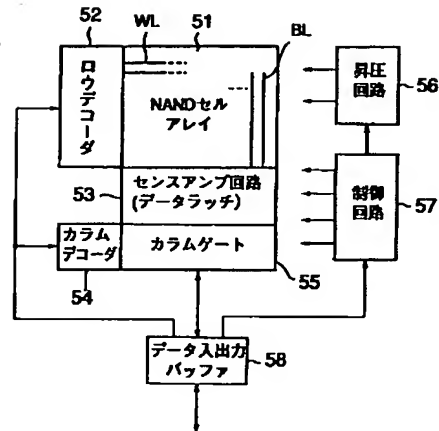
【図4】



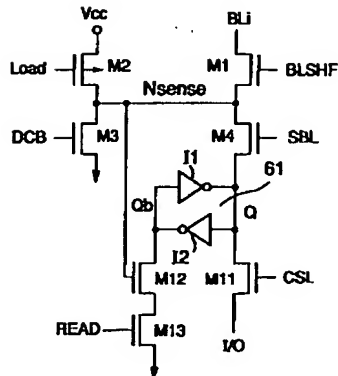
【図3】



【図5】



【図6】



【図7】

【データ消去】

	電位
SSL	α xVeraフローティング
非選択ブロックWL0~WL15	α xVeraフローティング
STL	α xVeraフローティング
選択ブロックWL16~WL31	Vss
GSL	α xVeraフローティング
BL0, BL1	Vera-Vf
SL	Vera-Vf
p ウェル	Vera

【図8】

【データ書き込み】

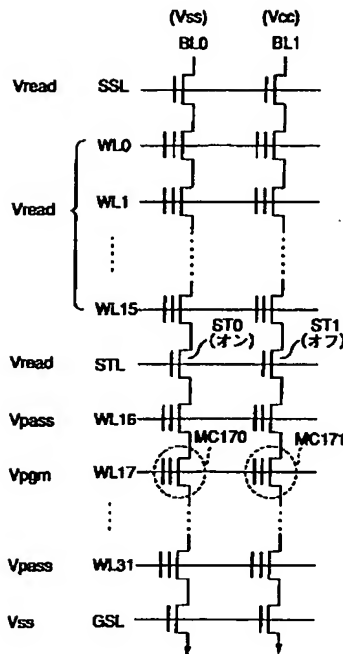
	電位
SSL	Vread
非選択ブロックWL0~WL15	Vread
STL	Vread
選択ブロック内非選択ワード線 WL16, WL18~WL31	Vpass
選択ブロック内選択ワード線 WL17	Vpgm
GSL	Vss
"0"書き込みビット線BL0	Vss
"1"書き込みビット線BL1	Vcc
SL	Vcc
p ウェル	Vss

【図10】

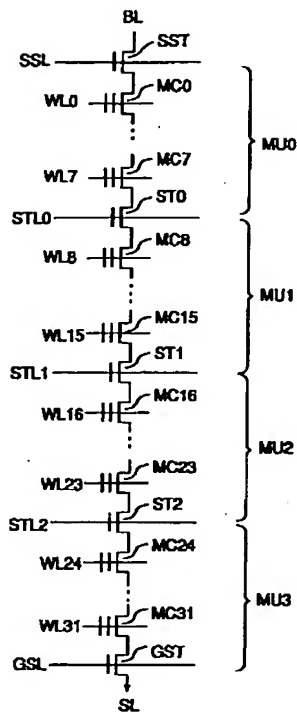
【データ読出し】

	電位
SSL	Vread
非選択ブロックWL0~WL15	Vread
STL	Vread
選択ブロック内非選択ワード線 WL16~WL18, WL20~WL31	Vread
選択ブロック内選択ワード線 WL19	Vss
GSL	Vread
"0"読出しビット線BL0	Vbt-Vbt
"1"読出しビット線BL1	Vbt-Vss
SL	Vss
p ウェル	Vss

【图9】



【图 1-1】



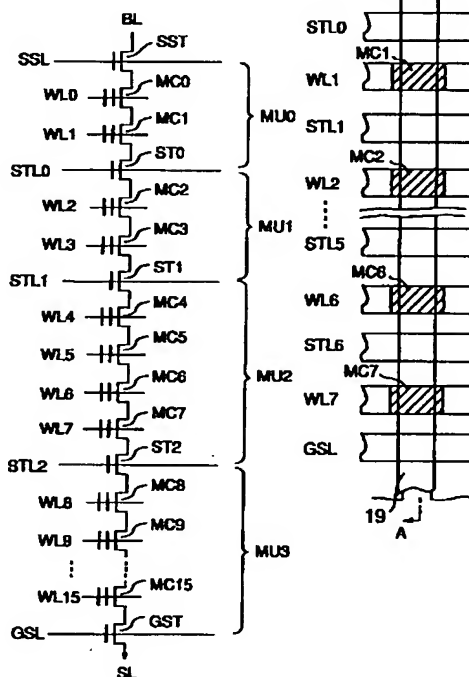
【例12】

【データ消去】	
	電位
SSL	α xVeraフローティング
非選択ブロック WL0~WL7 WL8~WL15 WL24~WL31	α xVeraフローティング
STL0, STL1, STL2	α xVeraフローティング
GSL	α xVeraフローティング
BL	Vera-W
SL	Vera-Vf
選択ブロック WL16~WL23	Vss
pウェル	Vera

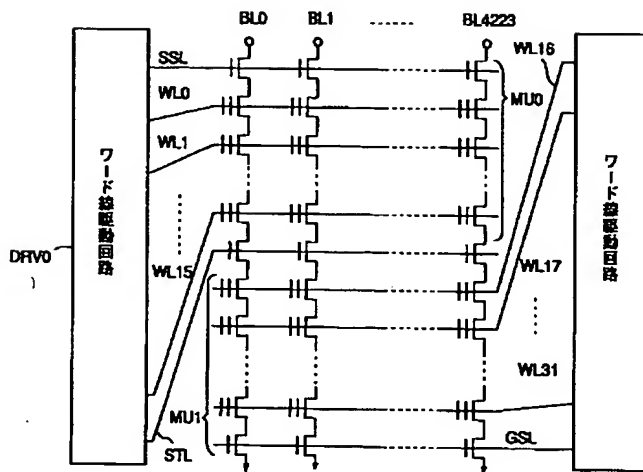
【图13】

【データ書込み】	
	電位
SSL	Vread
非選択ブロックのワード線 WL0~WL7 WL8~WL15 WL24~WL31	Vread
STL0, STL1	Vread
選択ブロック内非選択ワード線 WL16~WL18, WL20~WL23	Vpass
選択ブロック内選択ワード線 WL19	Vpgm
STL2	Vss
GSL	Vread
SL	Vcc
pウェル	Vss

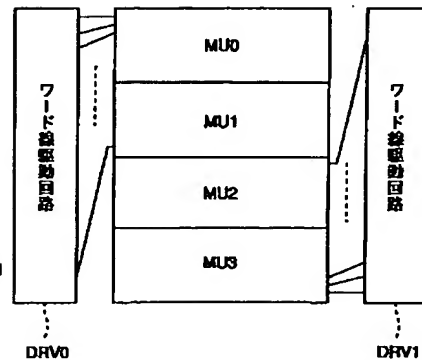
【図14】



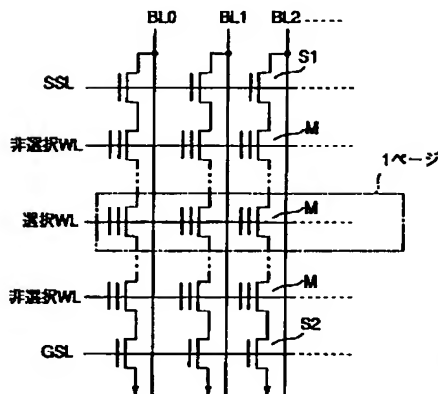
【図16】



【図17】



【図18】



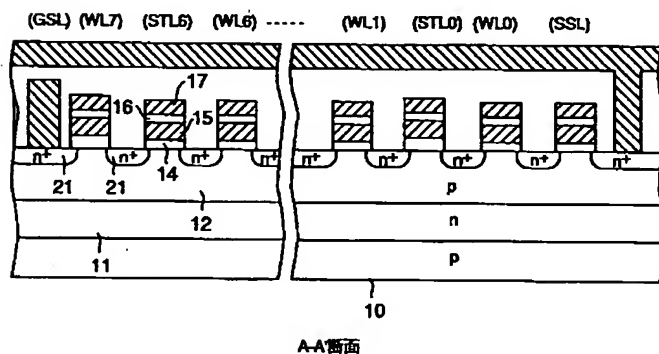
【図19】

	消去	読み出し	書き込み
選択WL	0	0	V _{pgm}
非選択WL	F	V _{read}	V _{pass}
SSL	F	V _{read}	V _{cc}
GSL	F	V _{read}	0
"0"BL	F	1.5	0
"1"BL	F	0.7	V _{cc}
pウェル	V _{era}	0	0

注) 消去時においては、選択WLは選択ブロック内のワード線を示し、非選択WLは非選択ブロック内のワード線を示す。

【図25】

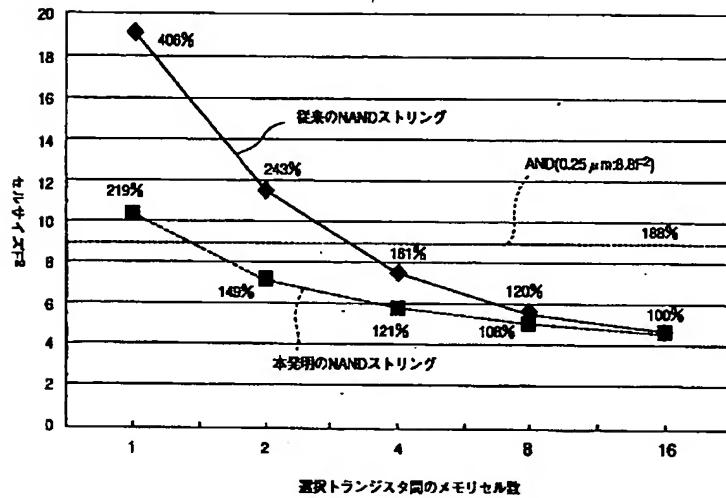
【図21】



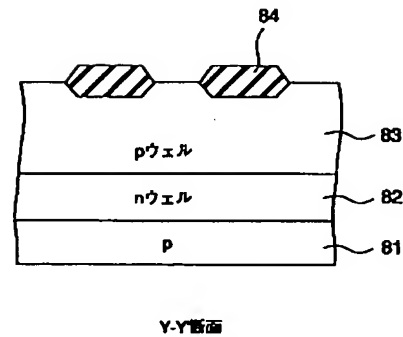
【データ読み出し】

	電位
SSL	V _{read}
非選択ブロックWL0~WL15, WL24~WL31	V _{read}
STL0, STL1, STL2	V _{read}
選択ブロック内非選択ワード線 WL18~WL18, WL20~WL23	V _{read}
選択ブロック内選択ワード線 WL19	V _{ss}
GSL	V _{read}
"0"読み出しビット線BL0	V _{bl} →V _{bl}
"1"読み出しビット線BL1	V _{bl} →V _{ss}
SL	V _{ss}
pウェル	V _{ss}

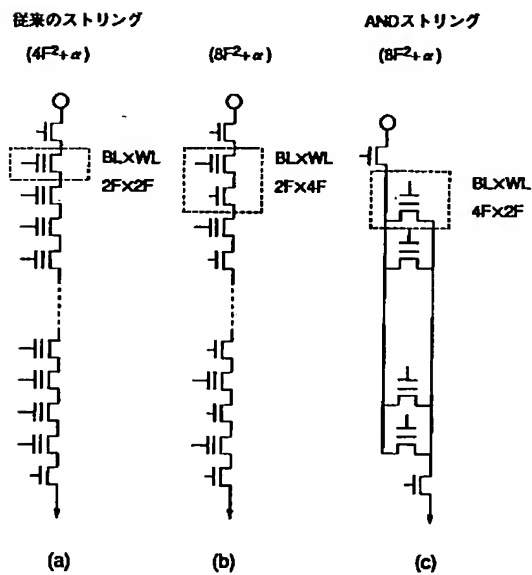
【図22】



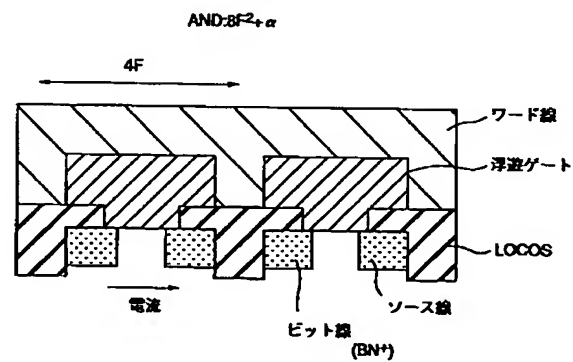
【図38】



【図23】



【図24】

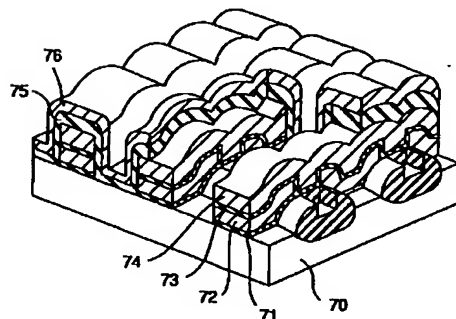


【図26】

【データ消去】

	電位
SSL	αxVeraフローティング
非選択ブロック WL0~WL7 WL8~WL15 WL24~WL31	αxVeraフローティング
STL0, STL1, STL2	αxVeraフローティング
GSL	αxVeraフローティング
BL	Vera-VI
SL	Vera-VI
選択ブロック WL16~WL23	Vss
pウェル	Vera

【図35】



【図27】

【データ読み込み】

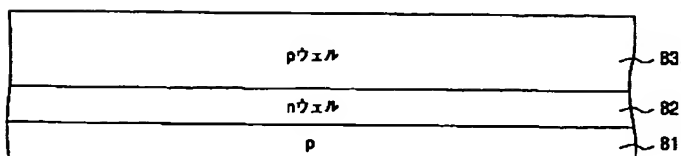
	電位
SSL	Vread
非選択ブロックのワード線 WL0~WL7 WL8~WL15 WL24~WL31	Vread
STL0, STL1, STL2	Vread
選択ブロック内非選択ワード線 WL16~WL18, WL20~WL23	Vpass
選択ブロック内選択ワード線 WL19	Vpgm
GSL	Vss
SL	Vcc
pウェル	Vss

【図29】

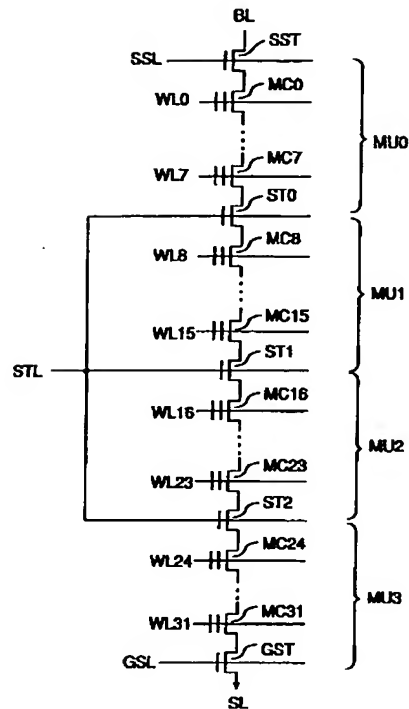
【データ読み出し】

	電位
SSL	Vread
非選択ブロックWL0~WL2, WL4~WL7	Vread
STL0~STL6	Vread
選択ブロック内選択ワード線 WL3	Vss
GSL	Vread
"0"読み出しビット線BL0	Vbl→Vbl
"1"読み出しビット線BL1	Vbl→Vss
SL	Vss
pウェル	Vss

【図37】



【図28】



【図30】

【データ消去】

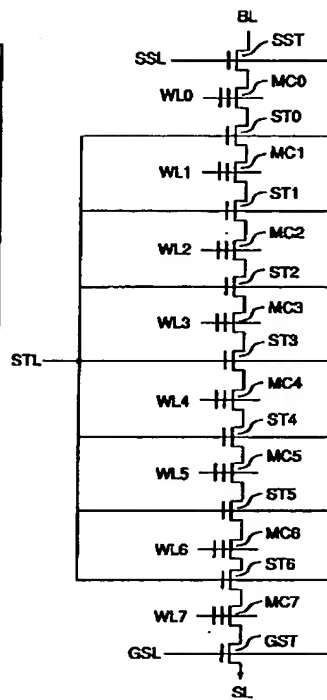
	電位
SSL	$\alpha \times \text{Vera}$ フローティング
非選択ブロック WL0~WL2 WL4~WL7	$\alpha \times \text{Vera}$ フローティング
STL0, STL1, STL2~STL6	$\alpha \times \text{Vera}$ フローティング
GSL	$\alpha \times \text{Vera}$ フローティング
BL	Vera-Vt
SL	Vera-Vt
選択ブロック WL16~WL23	Vss
pウェル	Vera

【図31】

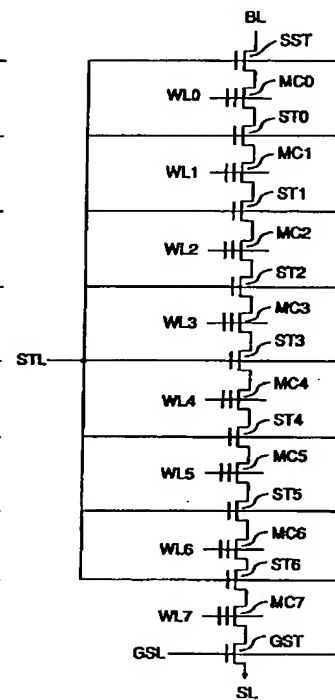
【データ書き込み】

	電位
SSL	Vread
非選択ブロックのワード線 WL0~WL2 WL4~WL7	Vread
STL0, STL1~STL8	Vread
選択ブロック内選択ワード線 WL3	Vpgm
GSL	Vss
SL	Vcc
pウェル	Vss

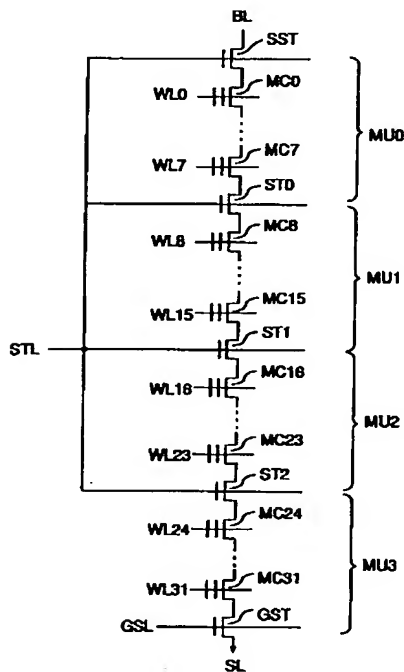
【図32】



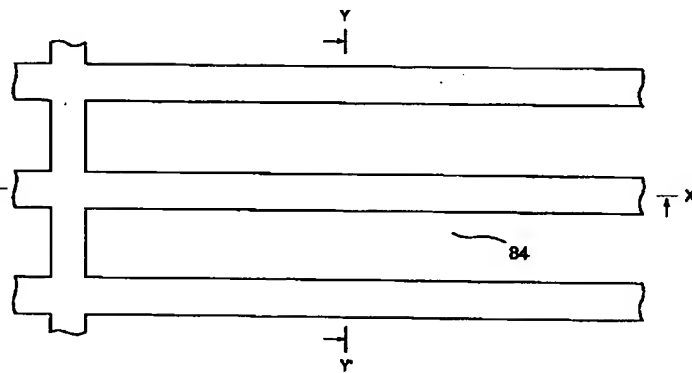
【図34】



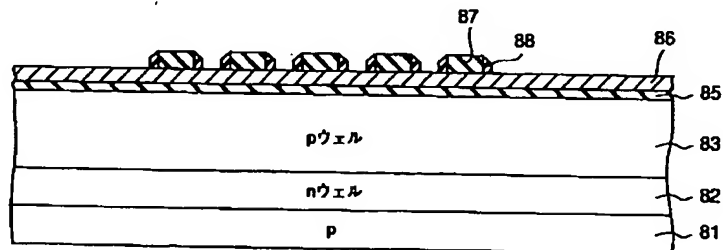
【図33】



【図36】

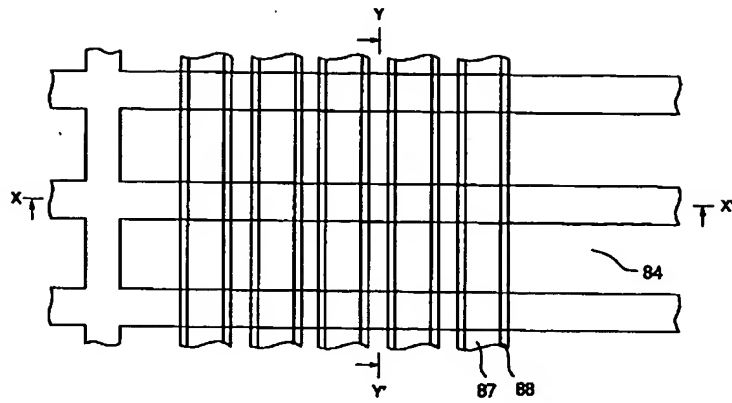


【図40】

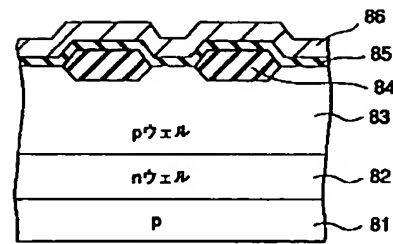


X-X'断面

【図39】

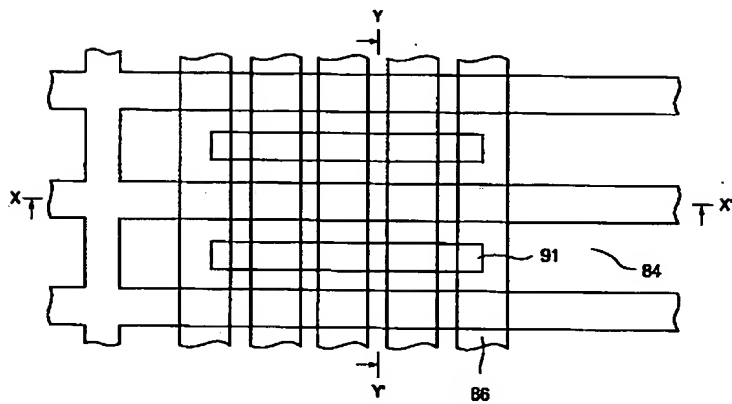


【図41】

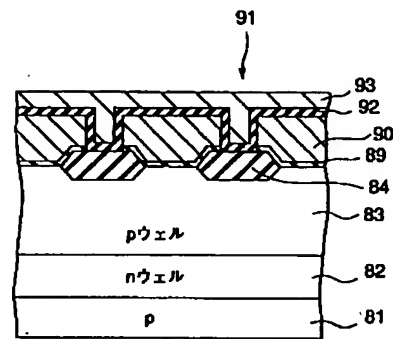


Y-Y断面

【図42】

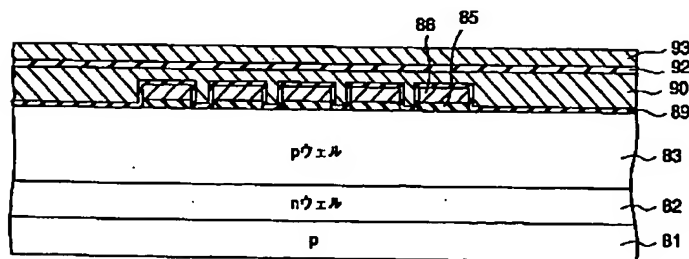


【図44】



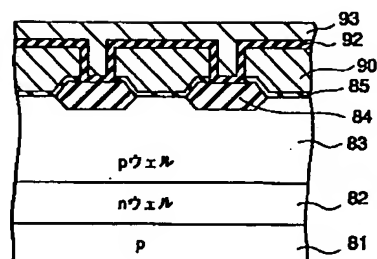
Y-Y断面

【図43】



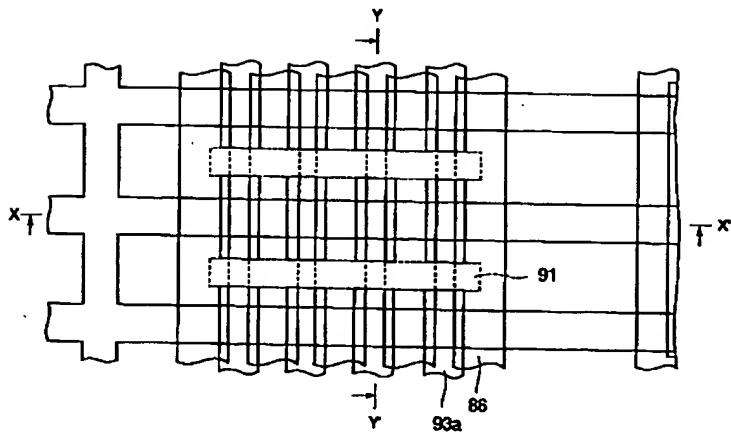
X-X断面

【図47】

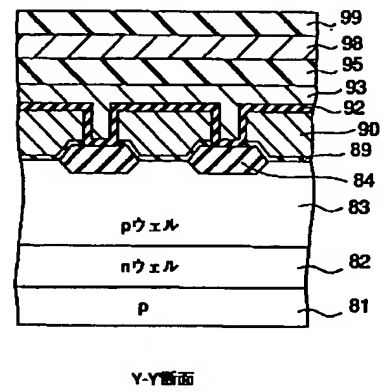


Y-Y断面

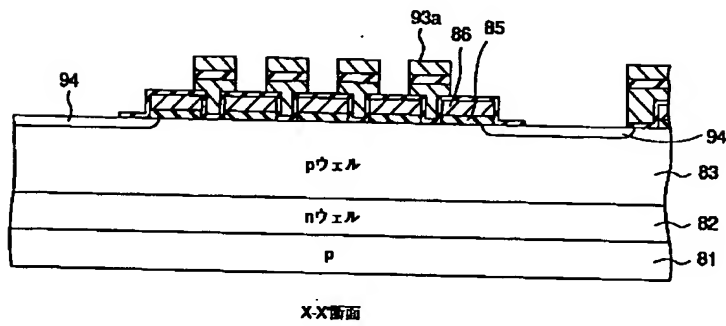
【図45】



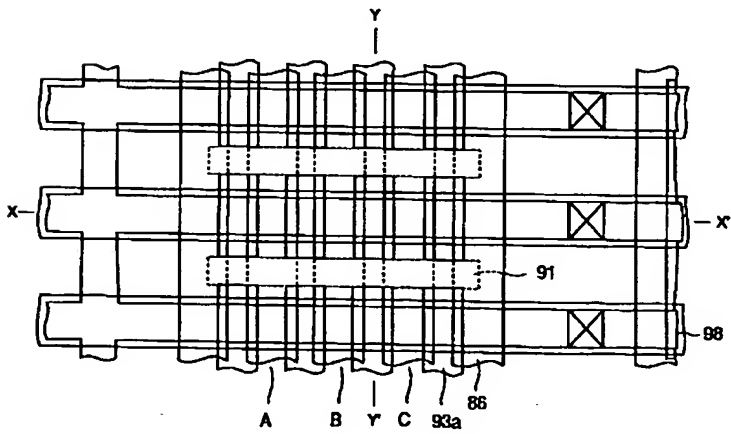
【図50】



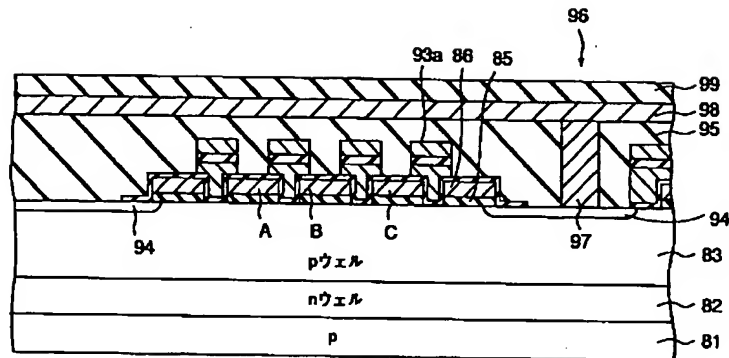
【図46】



【図48】



【図49】



フロントページの続き

(51)Int. Cl.⁷
)

識別記号

F I

テマコード (参考)

H 0 1 L 29/792